

日本国特許庁
JAPAN PATENT OFFICE

Birch, Stewart et al.
(703) 205-8020
1248-0675-P
Dec. 12, 2003
INOUE et al.
N/CEW
1061

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月27日

出願番号
Application Number: 特願2002-381693

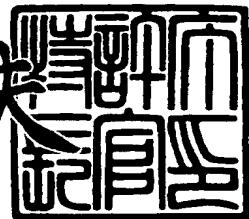
[ST. 10/C]: [JP 2002-381693]

出願人
Applicant(s): シャープ株式会社

2003年8月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3069169

【書類名】 特許願
【整理番号】 02J04639
【提出日】 平成14年12月27日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/082
H01L 31/09
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 井上 高広
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 横川 成一
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 川島 亮介
【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社
【代理人】
【識別番号】 100080034
【弁理士】
【氏名又は名称】 原 謙三
【電話番号】 06-6351-4384

【選任した代理人】**【識別番号】** 100113701**【弁理士】****【氏名又は名称】** 木島 隆一**【選任した代理人】****【識別番号】** 100116241**【弁理士】****【氏名又は名称】** 金子 一郎**【手数料の表示】****【予納台帳番号】** 003229**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0208489**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 光リーキ電流補償回路およびそれを用いる光信号用回路

【特許請求の範囲】

【請求項 1】

集積回路内に構成され、第1のP N Pトランジスタと、その第1のP N Pトランジスタのベースがコレクタに接続される第2のN P Nトランジスタとのダーリントン回路に発生する光リーキ電流を補償する光リーキ電流補償回路において、前記第1のP N Pトランジスタのコレクタにエミッタが接続され、コレクタが接地されて前記第1のP N Pトランジスタのコレクタ電流を吸い込むことで補償を行う第3のP N Pトランジスタと、前記第3のP N Pトランジスタのベースがコレクタに接続され、ベースとエミッタとが相互に接続されたダイオード構造の第4のN P Nトランジスタとのダーリントン回路を備えて構成されることを特徴とする光リーキ電流補償回路。

【請求項 2】

前記第1のP N Pトランジスタおよび第2のN P NトランジスタのN型エピタキシャル層の面積をそれぞれS 1, S 2とし、前記第3のP N Pトランジスタおよび第4のN P NトランジスタのN型エピタキシャル層の面積をそれぞれS 3, S 4とするとき、

$$S_1 \leq S_3, \text{かつ } S_2 \leq S_4$$

に形成することを特徴とする請求項1記載の光リーキ電流補償回路。

【請求項 3】

前記第1のP N Pトランジスタのコレクタ電流がベースに与えられる第5のN P Nトランジスタを備えることを特徴とする請求項2記載の光リーキ電流補償回路。

【請求項 4】

前記各トランジスタがラテラル構造であることを特徴とする請求項1～3の何れか1項に記載の光リーキ電流補償回路。

【請求項 5】

前記請求項1～4の何れか1項に記載の光リーキ電流補償回路を用いることを

特徴とする光信号用回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路内に形成されるダーリントン回路の光リーク電流を補償する回路に関し、さらにその光リーク電流補償回路を備え、発光ダイオードやフォトダイオードなどの電気－光変換素子や光－電気変換素子に近接して設けられる光信号用回路に関する。

【0002】

【従来の技術】

赤外線リモコンの受信用IC、光ピックアップ信号受信用IC、LED駆動用IC等の前記発光ダイオードやフォトダイオードなどの電気－光変換素子や光－電気変換素子に近接して設けられる集積回路では、信号光による回折光や散乱光、さらに蛍光灯等のノイズ光によって、寄生フォトダイオードに光電流が発生し、回路誤動作の原因となる。特に、ラテラル（横型）構造のトランジスタでは、N型エピタキシャル層（PNPトランジスタではベース拡散領域、NPNトランジスタではコレクタ拡散領域）の面積が大きいので、前記寄生フォトダイオードによる光電流で、ベース電流（PNPトランジスタ）やコレクタ電流（NPNトランジスタ）が増加し、回路の特性に大きな影響を与える。図6～図21を用いて、その様子を説明する。から成るベース拡散層

図6はラテラルPNPトランジスタ1の構造を模式的に示す図であり、図7はその等価回路図である。P型のサブストレート層2上にN型エピタキシャル層3が積層され、そのN型エピタキシャル層3がトレチ4によって分離されて各素子領域となる。そして、集積回路の構造上、ベース拡散領域となる前記N型エピタキシャル層3とサブストレート層2との間に寄生フォトダイオード5が発生し、該寄生フォトダイオード5がPNPトランジスタ1のベース端子とサブストレート層2（接地）との間に接続されることになる。

【0003】

したがって、光入射によって、図6で示すようにN型エピタキシャル層3から

サブストレート層2へ光電流 I_{pd} が生じると、該光電流 I_{pd} はP N Pトランジスタ1のベース電流 I_b として作用し、回路の特性に多大な影響を与える。この光電流 I_{pd} は、入射光量に対応して増加するので、光電変換素子と近接して配置される場合に大きくなり、またN型エピタキシャル層3の面積に対応して増加するので、該P N Pトランジスタ1の電流容量が大きくなる程、大きくなる。

【0004】

同様に、図8はラテラルN P Nトランジスタ11の構造を模式的に示す図であり、図9はその等価回路図である。P型のサブストレート層12上にN型エピタキシャル層13が積層され、そのN型エピタキシャル層13がトレンチ14によって分離されて各素子領域となる。そして、コレクタ拡散領域となる前記N型エピタキシャル層13とサブストレート層12との間に寄生フォトダイオード15が発生し、該寄生フォトダイオード15がN P Nトランジスタ11のコレクタ端子とサブストレート層12（接地）との間に接続されることになる。

【0005】

したがって、光入射によって、図8で示すようにN型エピタキシャル層13からサブストレート層12へ光電流 I_{pd} が生じると、該光電流 I_{pd} はN P Nトランジスタ11のコレクタ電流をバイパスし、回路の特性に多大な影響を与える。この光電流 I_{pd} は、入射光量に対応して増加し、またN型エピタキシャル層13の面積に対応して増加する。しかしながら、N P Nトランジスタ11はP N Pトランジスタ1に比べて電流駆動能力が大きく、前記N型エピタキシャル層13の面積を小さくでき、また発生する光電流がコレクタ電流に影響するので、電流増幅率 h_{fe} 分、その影響は小さいと考えられる。

【0006】

また、バーチカルトランジスタでも、前記光電流の影響は小さく、図10および図11を用いて、その構造を説明する。図10はバーチカルP N Pトランジスタ21の構造を模式的に示す図であり、図11はその等価回路図である。P型のサブストレート層22上にN型エピタキシャル層23が積層され、そのN型エピタキシャル層23がトレンチ24によって分離されて各素子領域となる構造は、前記ラテラル構造のトランジスタ1, 21と同様である。そして、サブストレー

ト層22とN型エピタキシャル層23との間に寄生フォトダイオード25が発生するけれども、バーチカルトランジスタの構造上、N型エピタキシャル層23は、予め定める電位（一般的に電源電圧Vcc）が与えられるだけであり、光リーク電流はトランジスタ動作には影響しない。また、ベース拡散領域（N）とコレクタ拡散領域（P）との間にも寄生フォトダイオード26が存在するけれども、ベース拡散面積が小さいので、その影響は前記ラテラルPNPトランジスタに比べ、非常に小さい。

【0007】

しかしながら、マスク枚数の削減などの関係で、前記構造上、ラテラルトランジスタを採用しなければならない場合があり、また一般的に、入力インピーダンスを向上させるためにNPNトランジスタのコレクタをPNPトランジスタのベースに接続したダーリントン回路がよく用いられる。このダーリントン回路の場合、NPNトランジスタのコレクタで発生した光リーク電流がPNPトランジスタのベース電流となるので、前記バーチカルトランジスタであっても、前記光リーク電流は問題となる。

【0008】

図12は、そのようなダーリントン回路31の電気回路図である。PNPトランジスタqp1のエミッタはハイレベルの電源などのバイアス源に接続され、コレクタが出力端となり、ベースは前記のようにNPNトランジスタqn1のコレクタに接続される。このNPNトランジスタqn1のベースが入力端となり、エミッタは前記出力端に接続される。

【0009】

そして、前記N型エピタキシャル層から成るPNPトランジスタqp1のベースに寄生フォトダイオードdp1が発生し、NPNトランジスタqn1のコレクタに寄生フォトダイオードdn1が発生し、それぞれ光リーク電流i1, i2が流れる。ここで、それぞれのN型エピタキシャル層、すなわちPNPトランジスタqp1のベース拡散領域およびNPNトランジスタqn1のコレクタ拡散領域の面積をs1, s2とすると、前記光リーク電流は、 $i_1 = s_1 * I_{pd}(p)$, $i_2 = s_2 * I_{pd}(n)$ となる。ただし、 $I_{pd}(p)$ はPNPトランジス

タのN型エピタキシャル層の単位面積当たりの光リーク電流量であり、 $I_{pd}(n)$ はNPNトランジスタのN型エピタキシャル層の単位面積当たりの光リーク電流量である。

【0010】

したがって、これらの光リーク電流 i_1, i_2 の影響は、PNPトランジスタ q_{p1} で hfe 倍され、出力端からは、以下の光リーク電流 I_{leak} が出力され、回路特性に大きな影響を与える。

【0011】

$$I_{leak} = hfe(p) * \{ s_1 * I_{pd}(p) + s_2 * I_{pd}(n) \} \dots (1)$$

ただし、 $hfe(p)$ はPNPトランジスタ q_{p1} の電流増幅率である。

【0012】

このような寄生フォトダイオード d_{p1}, q_{n1} による光リーク電流の影響を低減する方法として、先ず素子表面を配線用メタルで覆い、該素子表面から侵入する光を遮断する方法がある。しかしながら、遮光できない部分であるチップ側面やチップエッジから侵入する光には充分な対策ができない場合があり、また最近では低コスト化のためにチップ面積の縮小やマスク枚数の削減が求められ、この配線用メタルによる遮光が充分行えなくなっている。さらにまた、省エネルギー化のために低消費電流化が進み、このような寄生フォトダイオードによる光電流の影響は相対的に増加する傾向にある。

【0013】

そこで、このような問題を解決するために、典型的な従来技術である特開平3-262153号公報および特開平6-45536号公報に記載の光電流補償用回路が提案された。これらの従来技術では、単体のPNPトランジスタのベース電流における光リーク電流を補償することが示されているけれども、前記NPNトランジスタを組合せたダーリントン回路に適用した例について、図13に示す。なお、図13において、図12の構成に対応する部分には、同一の参照符号を付して、その説明を省略する。

【0014】

補償回路32は、P N Pトランジスタq p 1 1, q p 1 2と、N P Nトランジスタq n 1 1とを備えて構成される。P N Pトランジスタq p 1 1のエミッタは前記ハイレベルの電源などのバイアス源に接続され、コレクタから補償電流i oを流し出す。前記P N Pトランジスタq p 1 1のベースはカレントミラー回路を構成するP N Pトランジスタq p 1 2のベースおよびコレクタと接続され、このP N Pトランジスタq p 1 2のエミッタは前記ハイレベルの電源などのバイアス源に接続され、コレクタは前記P N Pトランジスタq p 1 1のベースおよびN P Nトランジスタq n 1 1のコレクタと接続される。N P Nトランジスタq n 1 1のベースは、エミッタとともに接地される。

【0015】

したがって、前述のようにP N Pトランジスタq p 1 1, q p 1 2のベースおよびN P Nトランジスタq n 1 1のコレクタに寄生フォトダイオードd p 1 1, d p 1 2, d n 1 1がそれぞれ発生し、光リーク電流i 3, i 4, i 5が流れる。ここで、それぞれのN型エピタキシャル層、すなわちP N Pトランジスタq p 1 1, q p 1 2のベース拡散領域およびN P Nトランジスタq n 1 1のコレクタ拡散領域の面積をs 3, s 4, s 5とすると、 $i_3 = s_3 * I_{pd}(p)$, $i_4 = s_4 * I_{pd}(p)$, $i_5 = s_5 * I_{pd}(n)$ となる。

【0016】

ここで、簡単のためトランジスタのベース電流を無視する、すなわち電流増幅率 $h_{fe} \rightarrow \infty$ と仮定すると、

$$\begin{aligned} i_o(q p 1 1) &= (m_1/m_2) * \{s_5 * I_{pd}(n) + (s_3 + s_4) * I_{pd}(p)\} \\ &\dots (2) \end{aligned}$$

$$\begin{aligned} I_{leak} &= h_{fe}(p) * [s_1 * I_{pd}(p) + s_2 * I_{pd}(n)] \\ &- (m_1/m_2) * \{s_5 * I_{pd}(n) + (s_3 + s_4) * I_{pd}(p)\} \\ &\dots (3) \end{aligned}$$

となる。ただし、 m_1, m_2 は、カレントミラー回路を構成するP N Pトランジスタq p 1 1, q p 1 2の電流比である。

【0017】

このようにして、前記寄生フォトダイオード d_{p1}, d_{n1}で発生した光リーア電流 i₁, i₂を、補償回路32内のトランジスタ q_{p11}, q_{p12}, q_{n11}の寄生フォトダイオード d_{p11}, d_{p12}, d_{n11}で発生した前記光リーア電流 i₃, i₄, i₅でキャンセルする構成となっている。

【0018】

【特許文献1】

特開平3-262153号公報

【0019】

【特許文献2】

特開平6-45536号公報

【0020】

【発明が解決しようとする課題】

しかしながら、上述のような従来技術において、光リーア電流 i₁, i₂を完全にキャンセルできるのは、以下の2式を同時に満たす場合である。

【0021】

$$s_2 = (m_1 / m_2) * s_5 \quad \dots (4)$$

$$s_1 = (m_1 / m_2) * (s_3 + s_4) \quad \dots (5)$$

したがって、上式を満たすのは、m₁ : m₂ = 1 : 1 としても、s₁ : s₂ : s₃ : s₄ : s₅ = 2 : 1 : 1 : 1 : 1 であり、N型エピタキシャル層の総面積は6トランジスタ分必要となり、素子数が増えてチップ面積が増大してしまうという問題がある。

【0022】

また、上述の説明では、簡単のためベース電流の影響を無視、すなわち h_fe → ∞と仮定したが、実際の電流増幅率 h_fe の値は、一般的に 100 前後であり、その影響は無視できないという問題もある。特に、一般的に、コレクタ電流が微小になると、前記電流増幅率 h_fe は小さくなる傾向があり、ベース電流による影響が大きくなる。また、ラテラル PNP トランジスタの電流増幅率 h_fe は、ラテラル NPN トランジスタおよびバーチカル PNP トランジスタの電流増幅率 h_fe より小さく、前記ベース電流の影響が大きくなる。

【0023】

そこで、ベース電流 I_b を考慮すると、各トランジスタでは、コレクタ電流 I_c との関係は、

$$I_b = I_c / h_{FE} \quad \dots (6)$$

であり、したがって前記式2，3は、式7，8になる。

【0024】

$$\begin{aligned} i_o(qp11) &= \{h_{FE}(p) / (h_{FE}(p) + 2)\} \\ &\times (m1/m2) * \{s5 * I_{PD}(n) + (s3+s4) * I_{PD}(p)\} \\ &\dots (7) \end{aligned}$$

leak

$$\begin{aligned} &= (h_{FE}(p) - 1) * [\{s1 * I_{PD}(p) + s2 * I_{PD}(n)\} \\ &- \{h_{FE}(p) / (h_{FE}(p) + 2)\} * (m1/m2) \\ &\times \{s5 * I_{PD}(n) + (s3+s4) * I_{PD}(p)\}] \\ &\dots (8) \end{aligned}$$

したがって、ダーリントン回路に対して、より効果的に、光リーク電流の影響を低減する補償回路が要求される。

【0025】

本発明の目的は、ダーリントン回路の光リーク電流を高精度に補償することができるとともに、チップ面積を抑制することができる光リーク電流補償回路およびそれを用いる光信号用回路を提供することである。

【0026】

【課題を解決するための手段】

本発明の光リーク電流補償回路は、集積回路内に構成され、第1のPNPトランジスタと、その第1のPNPトランジスタのベースがコレクタに接続される第2のNPNトランジスタとのダーリントン回路に発生する光リーク電流を補償する光リーク電流補償回路において、前記第1のPNPトランジスタのコレクタにエミッタが接続され、コレクタが接地されて前記第1のPNPトランジスタのコレクタ電流を吸い込むことで補償を行う第3のPNPトランジスタと、前記第3のPNPトランジスタのベースがコレクタに接続され、ベースとエミッタとが相

互に接続されたダイオード構造の第4のNPNトランジスタとのダーリントン回路を備えて構成されることを特徴とする。

【0027】

上記の構成によれば、集積回路内に構成され、第1のPNPトランジスタのベースが第2のNPNトランジスタのコレクタに接続されて構成され、入力インピーダンスを向上させるために好適なダーリントン回路の光リーク電流を補償するにあたって、前記第1のPNPトランジスタのコレクタにエミッタが接続され、コレクタが接地される第3のPNPトランジスタと、前記第3のPNPトランジスタのベースがコレクタに接続され、ベースとエミッタとが相互に接続されたダイオード構造の第4のNPNトランジスタとのダーリントン回路で補償回路を構成し、前記第3のPNPトランジスタのエミッタから前記第1のPNPトランジスタのコレクタ電流を吸い込むことで補償を行う。

【0028】

したがって、前記図13のように第1のPNPトランジスタのベース電流で補償する場合には、補償電流を前記ベース電流に加算するためにカレントミラー回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償することで、略同じ面積のN型エピタキシャル層を有する第3のPNPトランジスタおよび第4のNPNトランジスタから成るダーリントン回路を、同じ集積回路上において、相互に近接して配置するなど、光の影響が等しくなるように形成すれば、光リーク電流を高精度に補償しつつ、前記チップ面積を抑制することができる。

【0029】

また、本発明の光リーク電流補償回路は、前記第1のPNPトランジスタおよび第2のNPNトランジスタのN型エピタキシャル層の面積をそれぞれS₁、S₂とし、前記第3のPNPトランジスタおよび第4のNPNトランジスタのN型エピタキシャル層の面積をそれぞれS₃、S₄とするとき、S₁≤S₃、かつS₂≤S₄に形成することを特徴とする。

【0030】

上記の構成によれば、第1のPNPトランジスタのN型エピタキシャル層、す

なわちベース拡散領域の面積 S₁ と、第 2 の NPN トランジスタの N 型エピタキシャル層、すなわちコレクタ拡散領域の面積 S₂ と、補償回路における第 3 の PNP トランジスタの N 型エピタキシャル層、すなわちベース拡散領域の面積 S₃ と、第 4 の NPN トランジスタの N 型エピタキシャル層、すなわちコレクタ拡散領域の面積 S₄ とを、上記のように選ぶことによって、光リーケ電流以上の補償電流を得ることができ、確実に補償を行うことができる。

【0031】

特に、S₁ < S₃、かつ S₂ < S₄ とすると、素子のミスマッチ等によって光リーケ電流と補償電流とがずれた場合でも、確実に補償を行うことができる。

【0032】

さらにまた、本発明の光リーケ電流補償回路は、前記第 1 の PNP トランジスタのコレクタ電流がベースに与えられる第 5 の NPN トランジスタを備えることを特徴とする。

【0033】

上記の構成によれば、第 1 の PNP トランジスタの後段に、さらに第 5 の NPN トランジスタを設けて入力インピーダンスを向上するようにした回路において、前記光リーケ電流と補償電流との差はこの第 5 の NPN トランジスタの h_{fe} 倍されてしまうことになるけれども、前記のように光リーケ電流以上の補償電流を得ることができるようにしておくと、前記差を 0 にすることができ、増幅率が高くなっても、前記光リーケ電流の影響を無くすことができる。

【0034】

また、本発明の光リーケ電流補償回路は、前記各トランジスタがラテラル構造であることを特徴とする。

【0035】

上記の構成によれば、ラテラル構造のトランジスタは、PNP トランジスタではベース拡散領域、NPN トランジスタではコレクタ拡散領域となる N 型エピタキシャル層が広く露出することになるので、本発明が特に効果的である。

【0036】

さらにまた、本発明の光信号用回路は、前記の光リーケ電流補償回路を用いる

ことを特徴とする。

【0037】

したがって、光信号用回路に上記の効果を奏することができる。

【0038】

【発明の実施の形態】

本発明の実施の一形態について、図1～図4に基づいて説明すれば、以下のとおりである。

【0039】

図1は、本発明の実施の一形態の電気回路図である。この回路では、被補償回路として、同じ集積回路上に形成されるP N PトランジスタQ P 1と、N P NトランジスタQ N 1とを備えて構成され、入力インピーダンスを向上させるようにしたダーリントン回路4 1が用いられる。このダーリントン回路4 1は、前記図12のダーリントン回路3 1と同様に構成されており、P N PトランジスタQ P 1のエミッタはハイレベルの電源などのバイアス源に接続され、コレクタが出力端となり、ベースは前記N P NトランジスタQ N 1のコレクタに接続される。前記N P NトランジスタQ N 1のベースが入力端となり、エミッタは前記出力端に接続される。

【0040】

そして、N型エピタキシャル層、すなわち前記P N PトランジスタQ P 1のベースおよびN P NトランジスタQ N 1のコレクタに形成される寄生フォトダイオードD P 1, D N 1による光リーア電流I 1, I 2を補償する補償回路4 2も、前記ダーリントン回路4 1と同様に、P N PトランジスタQ P 1 1と、N P NトランジスタQ N 1 1とを備えて構成されるダーリントン回路から構成されている。前記ダーリントン回路4 1と補償回路4 2とは、同じ集積回路上に、光の影響が等しくなるように近接して配置される。前記P N PトランジスタQ P 1 1のエミッタは前記P N PトランジスタQ P 1のコレクタに接続され、コレクタは接地され、ベースは前記N P NトランジスタQ N 1 1のコレクタに接続される。前記N P NトランジスタQ N 1 1のベースは、コレクタとともに接地される。

【0041】

したがって、前記N型エピタキシャル層から成るP N PトランジスタQ P 1 1のベースおよびN P NトランジスタQ N 1 1のコレクタに寄生フォトダイオードD P 1 1, D N 1 1が形成され、それらによる光リーク電流I 3, I 4が流れる。

【0042】

ここで、それぞれのN型エピタキシャル層であるP N PトランジスタQ P 1, Q P 1 1のベース拡散領域およびN P NトランジスタQ N 1, Q N 1 1のコレクタ拡散領域の面積をS 1, S 3およびS 2, S 4とすると、前記光リーク電流は、 $I_1 = S_1 * I_{pd}(p)$, $I_2 = S_2 * I_{pd}(n)$ 、 $I_3 = S_3 * I_{pd}(p)$, $I_4 = S_4 * I_{pd}(n)$ となる。ただし、 $I_{pd}(p)$ はP N PトランジスタのN型エピタキシャル層の単位面積当たりの光リーク電流量であり、 $I_{pd}(n)$ はN P NトランジスタのN型エピタキシャル層の単位面積当たりの光リーク電流量である。

【0043】

したがって、簡単のためにトランジスタのベース電流を無視する、すなわち電流増幅率 $h_{fe} \rightarrow \infty$ と仮定すると、キルヒホッフの法則から、出力端からは、以下の電流 I_{out} が出力されることになる。

【0044】

$$\begin{aligned} I_{out} &= I_{leak} - I_o \\ &= h_{fe}(p) * \{S_1 * I_{pd}(p) + S_2 * I_{pd}(n)\} \\ &\quad - h_{fe}(p) * \{S_3 * I_{pd}(p) + S_4 * I_{pd}(n)\} \\ &\quad \cdots (9) \end{aligned}$$

したがって、 $S_1 = S_3$ 、かつ $S_2 = S_4$ に形成することで、前記光リーク電流 I_{leak} をキャンセルすることができる。そして、この場合、 $S_1 : S_2 : S_3 : S_4 = 1 : 1 : 1 : 1$ であり、N型エピタキシャル層の総面積を4トランジスタ分とし、チップ面積を抑えることができる。ただし、 $h_{fe}(p)$ はP N PトランジスタQ P 1, Q P 1 1の電流増幅率であり、 I_{leak} はP N PトランジスタQ P 1のコレクタから出力される光リーク電流の総量であり、 I_o は補償回路42が前記出力端から吸い込む補償電流である。

【0045】

以上のようにして、ダーリントン回路41に発生した光リーク電流I leakを補償するにあたって、同様のダーリントン回路で構成される補償回路42を用い、PNPトランジスタQP1のコレクタ電流で補償を行うことで、該光リーク電流I leakを高精度に補償することができる。これによって、外部から侵入してくる光を遮断できない集積回路で、微小電流を扱っている回路や寄生フォトダイオードの影響を無視できない回路の高精度化に極めて有効である。

【0046】

また、前記図13の構成では、補償電流i_oを前記ベース電流に加算するためにカレントミラー回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償する場合には、補償回路42側に略同じ面積のN型エピタキシャル層を有するPNPトランジスタQP11およびNPNトランジスタQN11を設ければよく、上記のようにチップ面積を抑制することができる。

【0047】

さらにまた、上記の説明では、S1=S3、かつS2=S4、すなわちダーリントン回路41側のトランジスタQP1、QN1と補償回路42側のトランジスタQP11、QN11とのN型エピタキシャル層の面積がそれぞれ等しく形成されているけれども、それをS1<S3、かつS2<S4、すなわち補償回路42側の面積を大きく形成することで、素子のミスマッチ等によって光リーク電流と補償電流I_cとがずれた場合でも、確実に補償を行うようになる。

【0048】

ここで、本発明に類似した構成として、特開平3-292775号公報による光リーク電流の補償回路を図2に示す。この従来技術において、図1の構成に対応する部分には、同一の参照符号を付して示す。この従来技術では、単段構成の出力のPNPトランジスタQP1の光リーク電流I leakを、同様に単段のNPNトランジスタQN11から成る補償回路40が補償電流I_oを吸い込むことで補償している。

【0049】

この従来技術は、P N PトランジスタQ P 1のコレクタ電流をP N PトランジスタQ P 1 1のエミッタ電流で補償することで、ベース電流で補償を行う場合に比べて、高精度に補償を行う点が本発明に類似している。しかしながら、ダーリントン回路4 1に対応しておらず、前記P N PトランジスタQ P 1 1だけでN P NトランジスタQ N 1の光リーク電流I 2までも高精度に補償することは、困難である。

【0050】

図3は、前述のようなダーリントン回路4 1および補償回路4 2の一使用例である検波回路の放電回路5 0のブロック図を示し、図4は、その放電回路5 0を検波回路5 8として使用する赤外線リモコンの受信機5 1の構成を示すブロック図である。この受信機5 1は、赤外線の送信コード信号を外付けのフォトダイオード5 2で光電流信号I inに変換した後、集積回路化された受信チップ5 3に入力し、該受信チップ5 3で復調した出力信号R X O U Tを、電子機器を制御するマイコン等に出力するものである。前記赤外線信号は、たとえば30～60 kHz程度の予め定められたキャリアで変調されたA S K信号である。

【0051】

前記受信チップ5 3内で、前記光電流信号I inは、初段アンプ(H A) 5 4、2段目アンプ(2 n d A M P) 5 5および3段目アンプ(3 r d A M P) 5 6において順次増幅され、キャリアの周波数に適合されているバンドパスフィルタ(B P F) 5 7においてキャリア成分S i gが取出される。そして、次段の前記検波回路5 8において前記キャリア成分S i gがキャリア検出レベルD e tで検波され、さらに積分回路5 9においてキャリアのある時間が積分されて、その積分出力I n tがヒステリシスコンパレータ6 0において予め定める弁別レベルと比較されることで、キャリアの有無が判別されて前記出力信号R X O U Tとしてデジタル出力される。

【0052】

前記初段アンプ5 4の出力側にはローパスフィルタ6 1が設けられており、これによって蛍光灯や太陽光による直流レベルが検出され、次段の2段目アンプ5 5では、初段アンプ5 4の直接の出力からその直流レベル分が除去されて増幅さ

れることで、前記蛍光灯や太陽光等のノイズによる影響が或る程度除去されている。また、前記初段アンプ54に関連してABC回路62が設けられており、このABC回路62によって前記ローパスフィルタ61の出力に対応して初段アンプ54の直流バイアスが制御される。さらに、バンドパスフィルタ57に関連して f_0 トリミング回路63が設けられており、この f_0 トリミング回路63内の図示しない直列に接続された抵抗の接続点から引出された端子TRM1～TRM5間の図示しないツェナダイオードにパルス電流を印加して該ツェナダイオードがトリミングされることによって、バンドパスフィルタ57の中心周波数 f_0 が調整される。

【0053】

放電回路50は、NPNトランジスタQN1のベースが接続される入力端には、ノイズ除去用のコンデンサC1が接続され、PNPトランジスタQP1のコレクタが接続される出力端は定電流源F1を介して接地され、コレクタ接地回路を構成している。この放電回路50は、前記検波回路58の出力バッファとして使用され、通常、次段の回路の入力インピーダンスは高いので、前記PNPトランジスタQP1の流し出す電流と定電流源F1の吸い込む定電流I1との差に対応して出力電圧V1が変化する。すなわち、 $I_{eak} > I_o + I_1$ となると出力電圧V1は上昇してしまう。このため、 $I_{eak} < I_o + I_1$ とすることで、前記出力電圧V1の上昇を防ぐことができ、余分に発生した補償電流は、PNPトランジスタQP1、QP11を流れる。

【0054】

前述のように本発明のダーリントン回路41および補償回路42は、光リーク電流 I_{eak} を補償し、高い入力インピーダンスを実現できるので、高い入力インピーダンスが必要であるコンデンサC1内蔵の検波回路等に好適に用いることができる。

【0055】

本発明の実施の他の形態について、図5に基づいて説明すれば、以下のとおりである。

【0056】

図5は、本発明の実施の他の形態の電気回路図である。この回路は、被補償回路として、前記図2の回路と同様に構成されるダーリントン回路41に、前記P N PトランジスタQ P 1のコレクタ電流がベースに与えられるN P NトランジスタQ N 3を追加し、3段構成とすることで、さらに入力インピーダンスを大きくしている。

【0057】

この場合、 $S_1 \leq S_3$ 、かつ $S_2 \leq S_4$ を満たすとき、同様の効果を得ることができ、出力電流 I_{out} は、

$$\begin{aligned} I_{out} = & h_{fe}(n) \\ & * [h_{fe}(p) * \{S_1 * I_{pd}(p) + S_2 * I_{pd}(n)\} \\ & - h_{fe}(p) * \{S_3 * I_{pd}(p) + S_4 * I_{pd}(n)\}] \\ & \dots (10) \end{aligned}$$

となる。

【0058】

このようにして、P N PトランジスタQ P 1の後段に、さらにN P NトランジスタQ N 3を設けて入力インピーダンスを向上するようにした回路の場合、前記光リーク電流 I_{leak} と補償電流 I_o との差は、このN P NトランジスタQ N 3の $h_{fe}(n)$ 倍されてしまうことになるけれども、前記のように光リーク電流以上の補償電流を得ることができるようにしておくと、前記差を0にすることができる、増幅率が高くなっても、前記光リーク電流 I_{leak} の影響を無くすことができる。

【0059】

さらに、3段以上の多段構成とした場合でも、光リーク電流補償回路を同様に設けることで、影響を低減することができる。また、本発明は、ラテラル（横型）構造のトランジスタで特に大きな効果を得ることができるけれどもバーテカル（縦型）構造のトランジスタに適用されてもよい。

【0060】

【発明の効果】

本発明の光リーク電流補償回路は、以上のように、集積回路内に構成され、第

1のP N Pトランジスタのベースが第2のN P Nトランジスタのコレクタに接続されて構成され、入力インピーダンスを向上させるために好適なダーリントン回路の光リーク電流を補償するにあたって、前記第1のP N Pトランジスタのコレクタにエミッタが接続され、コレクタが接地される第3のP N Pトランジスタと、前記第3のP N Pトランジスタのベースがコレクタに接続され、ベースとエミッタとが相互に接続されたダイオード構造の第4のN P Nトランジスタとのダーリントン回路で補償回路を構成し、前記第3のP N Pトランジスタのエミッタから前記第1のP N Pトランジスタのコレクタ電流を吸い込むことで補償を行う。

【0061】

それゆえ、前記図13のように第1のP N Pトランジスタのベース電流で補償する場合には、補償電流を前記ベース電流に加算するためにカレントミラー回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償することで、略同じ面積のN型エピタキシャル層を有する第3のP N Pトランジスタおよび第4のN P Nトランジスタから成るダーリントン回路を、同じ集積回路上において、相互に近接して配置するなど、光の影響が等しくなるように形成すれば、光リーク電流を高精度に補償しつつ、前記チップ面積を抑制することができる。

【0062】

また、本発明の光リーク電流補償回路は、以上のように、前記第1のP N Pトランジスタおよび第2のN P NトランジスタのN型エピタキシャル層の面積をそれぞれS₁，S₂とし、前記第3のP N Pトランジスタおよび第4のN P NトランジスタのN型エピタキシャル層の面積をそれぞれS₃，S₄とするとき、S₁≤S₃、かつS₂≤S₄に形成する。

【0063】

それゆえ、光リーク電流以上の補償電流を得ることができ、確実に補償を行うことができる。特に、S₁<S₃、かつS₂<S₄とすると、素子のミスマッチ等によって光リーク電流と補償電流とがずれた場合でも、確実に補償を行うことができる。

【0064】

さらにまた、本発明の光リーク電流補償回路は、以上のように、前記第1のP N Pトランジスタのコレクタ電流がベースに与えられる第5のN P Nトランジスタを設けて、入力インピーダンスを向上する。

【0065】

それゆえ、前記光リーク電流と補償電流との差はこの第5のN P Nトランジスタの h_{FE} 倍されてしまうことになるけれども、前記のように光リーク電流以上の補償電流を得ることができるようにしておくと、前記差を0にすることができます、增幅率が高くなっても、前記光リーク電流の影響を無くすことができる。

【0066】

また、本発明の光リーク電流補償回路は、以上のように、前記各トランジスタを、P N Pトランジスタではベース拡散領域、N P Nトランジスタではコレクタ拡散領域となるN型エピタキシャル層が広く露出するラテラル構造とする。

【0067】

それゆえ、本発明が特に効果的である。

【0068】

さらにまた、本発明の光信号用回路は、以上のように、前記の光リーク電流補償回路を用いる。

【0069】

それゆえ、光信号用回路に上記の効果を奏することができる。

【図面の簡単な説明】

【図1】

本発明の実施の一形態の電気回路図である。

【図2】

従来技術の電気回路図である。

【図3】

図1で示すダーリントン回路および補償回路の一使用例である検波回路の放電回路のブロック図である。

【図4】

図3で示す放電回路を検波回路として使用する赤外線リモコンの受信機の構成

を示すブロック図である。

【図5】

本発明の実施の他の形態の電気回路図である。

【図6】

ラテラルP N Pトランジスタの構造を模式的に示す図である。

【図7】

図6の等価回路図である。

【図8】

ラテラルN P Nトランジスタの構造を模式的に示す図である。

【図9】

図8の等価回路図である。

【図10】

バーチカルP N Pトランジスタの構造を模式的に示す図である。

【図11】

図10の等価回路図である。

【図12】

ダーリントン回路の電気回路図である。

【図13】

典型的な従来技術を図12のダーリントン回路に適用した電気回路図である。

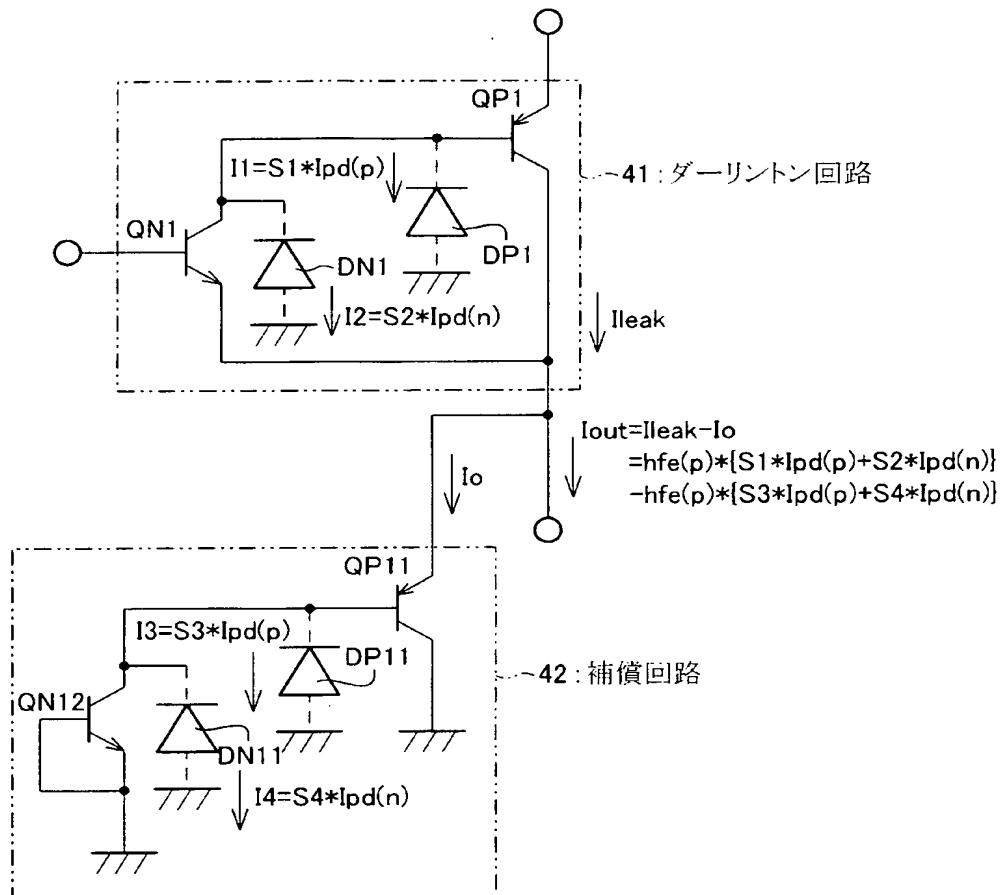
【符号の説明】

- 1 ラテラルP N Pトランジスタ
- 2, 12, 22 P型のサブストレート層
- 3, 13, 23 N型エピタキシャル層
- 4, 14, 24 トレンチ
- 5, 15, 25 寄生フォトダイオード
- 11 ラテラルN P Nトランジスタ
- 21 バーチカルP N Pトランジスタ
- 41 ダーリントン回路（被補償回路）
- 42 補償回路

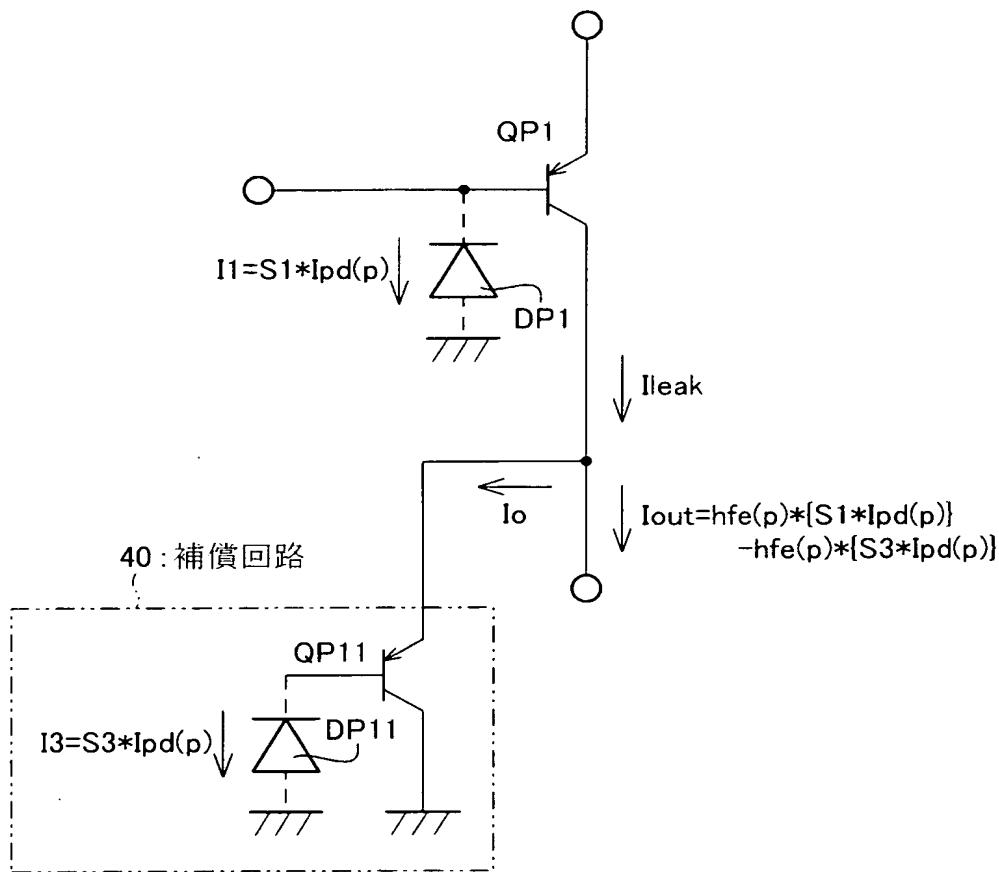
- 5 0 放電回路
5 1 赤外線リモコンの受信機
5 2 フォトダイオード
5 3 受信チップ（集積回路）
5 4 初段アンプ（H A）
5 5 2段目アンプ（2 n d A M P）
5 6 3段目アンプ（3 r d A M P）
5 7 バンドパスフィルタ（B P F）
5 8 検波回路
5 9 積分回路
6 0 ヒステリシスコンパレータ
6 1 ローパスフィルタ
6 2 A B C C 回路
6 3 f o トリミング回路
C 1 ノイズ除去用のコンデンサ
D N 1 , D N 1 1 寄生フォトダイオード
D P 1 , D P 1 1 寄生フォトダイオード
F 1 定電流源
Q N 1 N P N トランジスタ（第2のトランジスタ）
Q N 2 N P N トランジスタ（第5のトランジスタ）
Q N 1 1 N P N トランジスタ（第4のトランジスタ）
Q P 1 P N P トランジスタ（第1のトランジスタ）
Q P 1 1 P N P トランジスタ（第3のトランジスタ）

【書類名】 図面

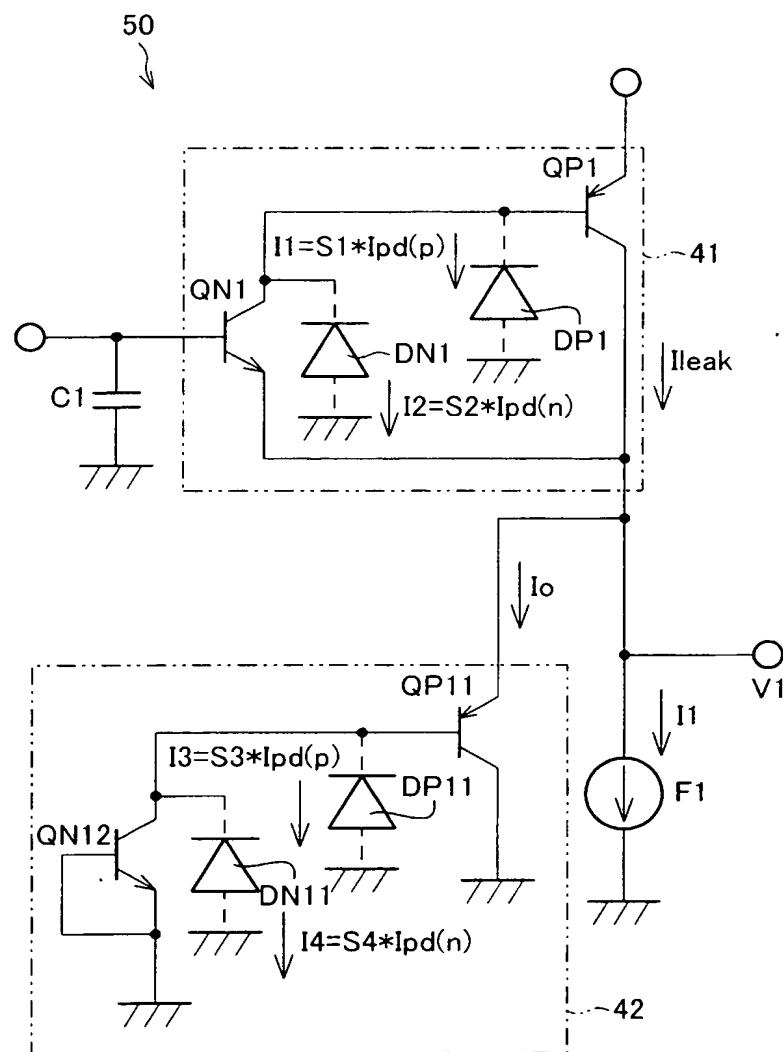
【図 1】



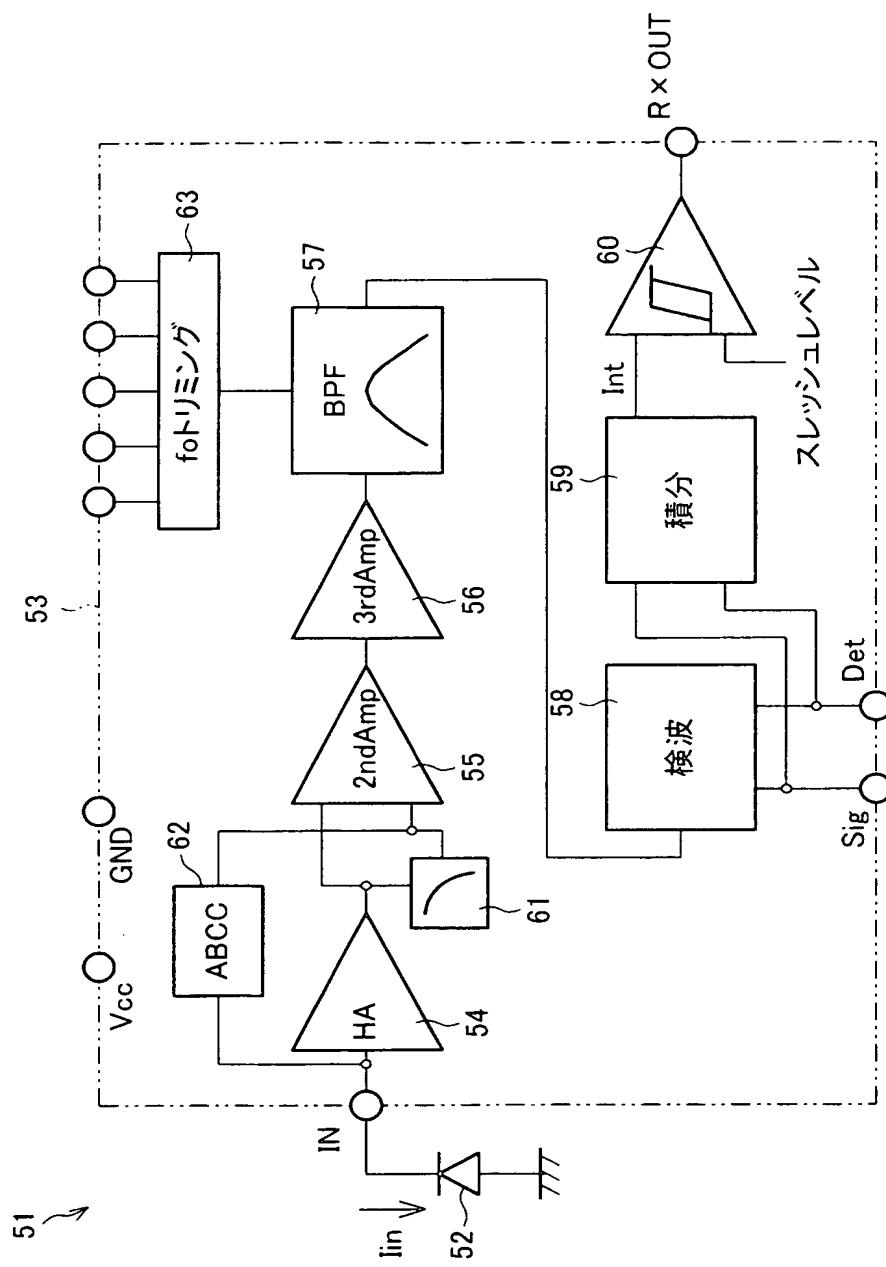
【図 2】



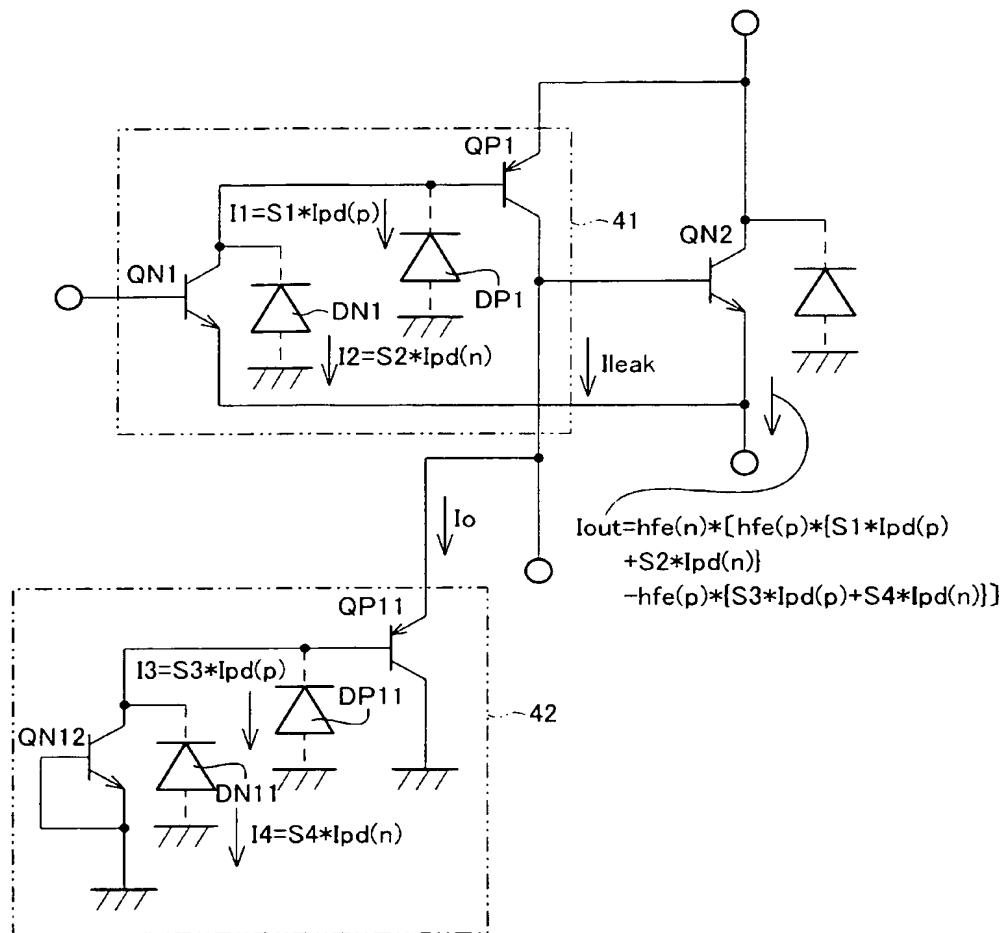
【図3】



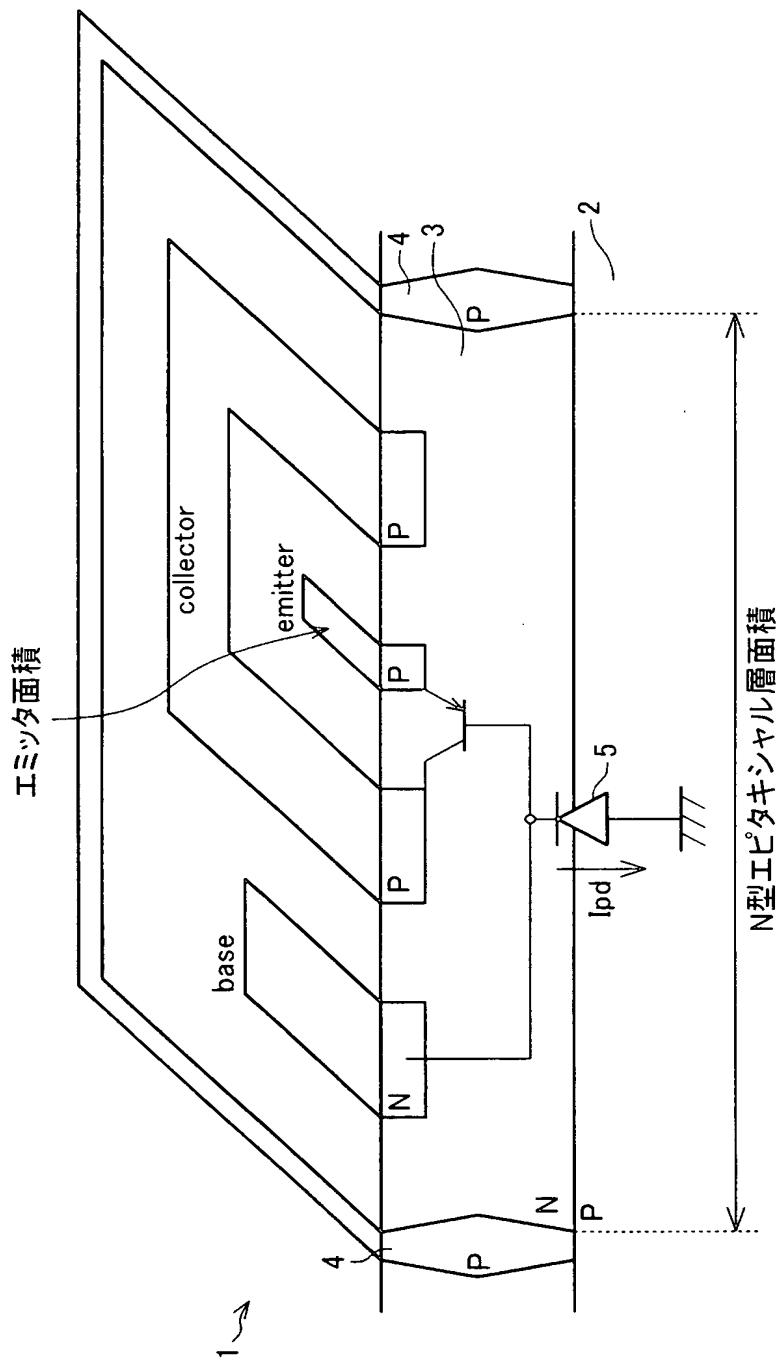
【図 4】



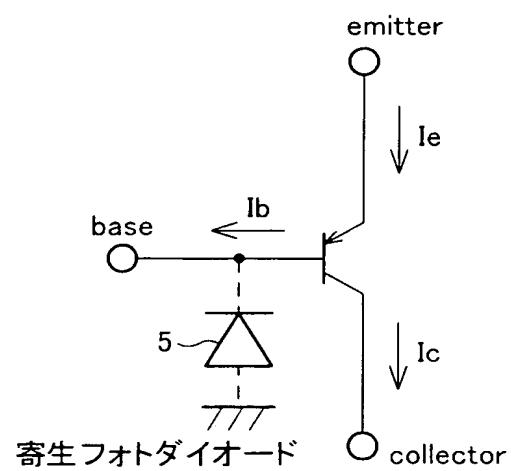
【図 5】



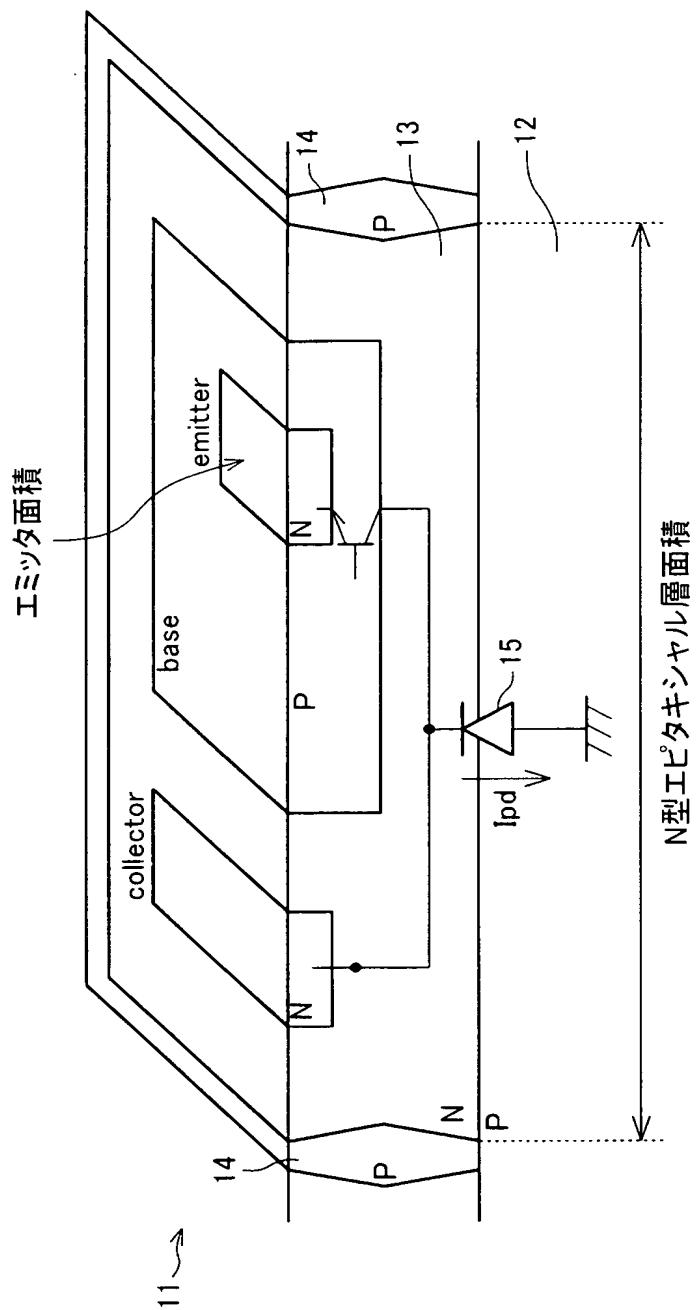
【図 6】



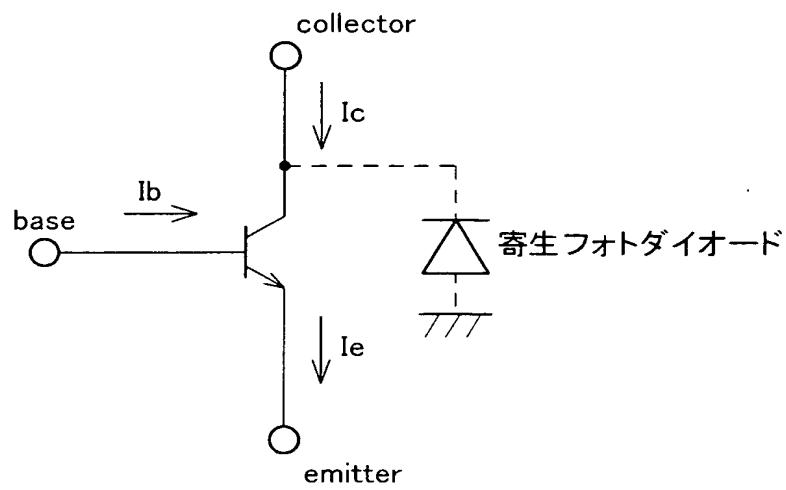
【図 7】



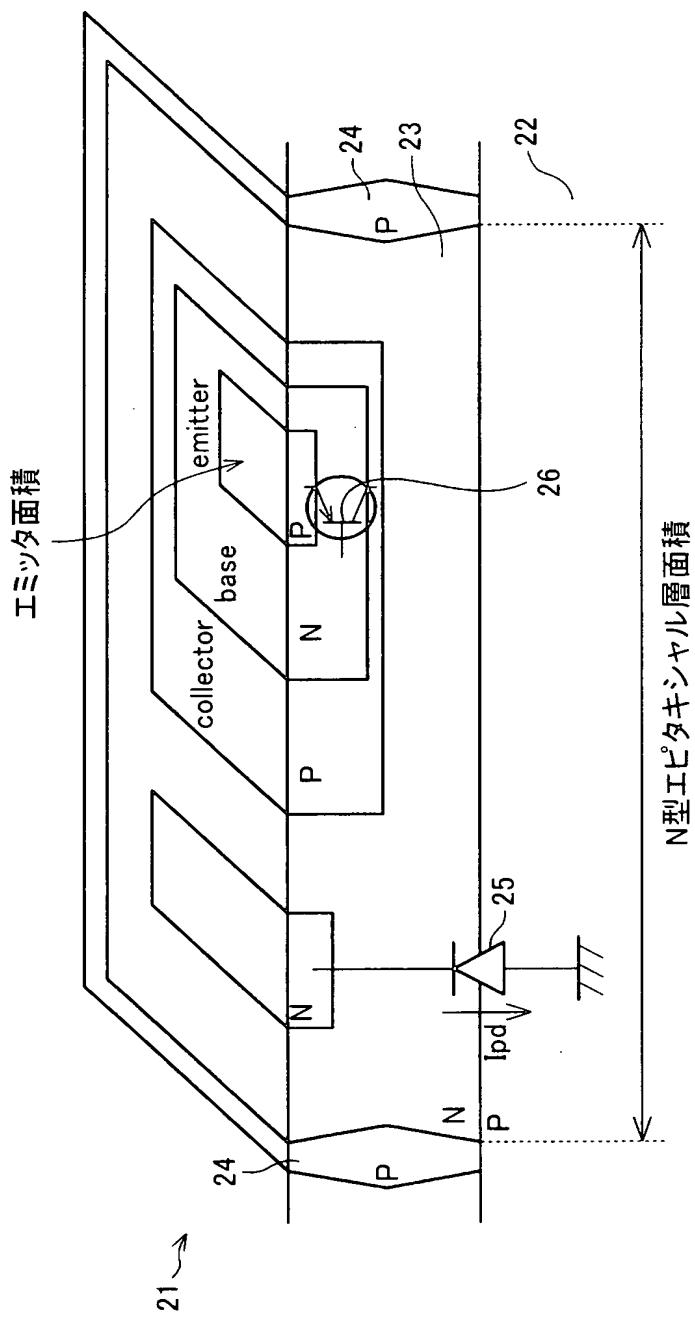
【図 8】



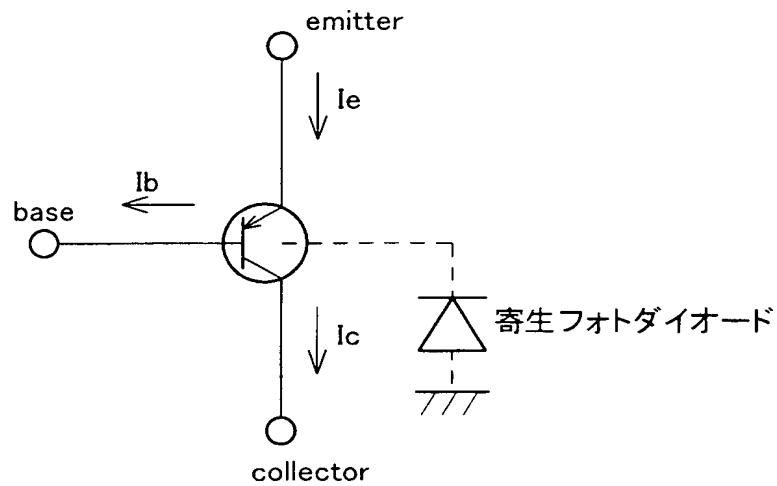
【図9】



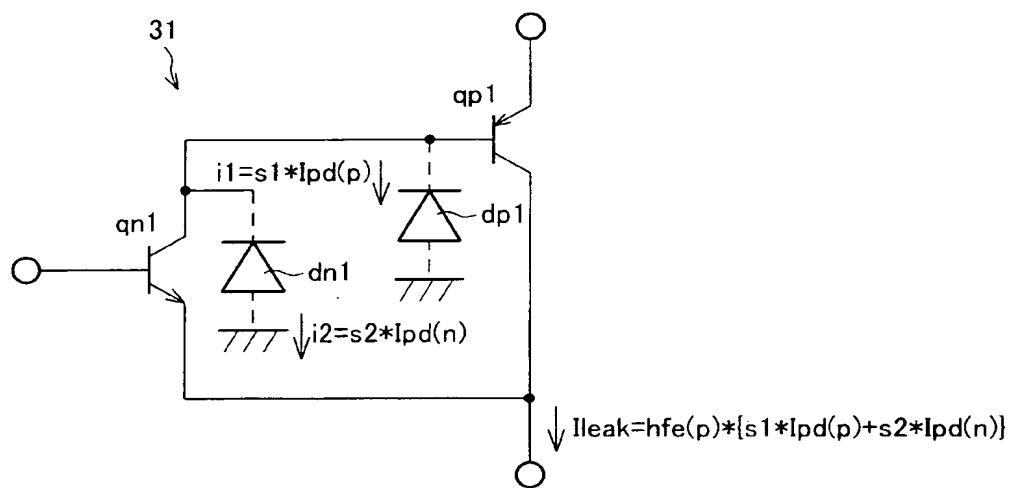
【図 10】



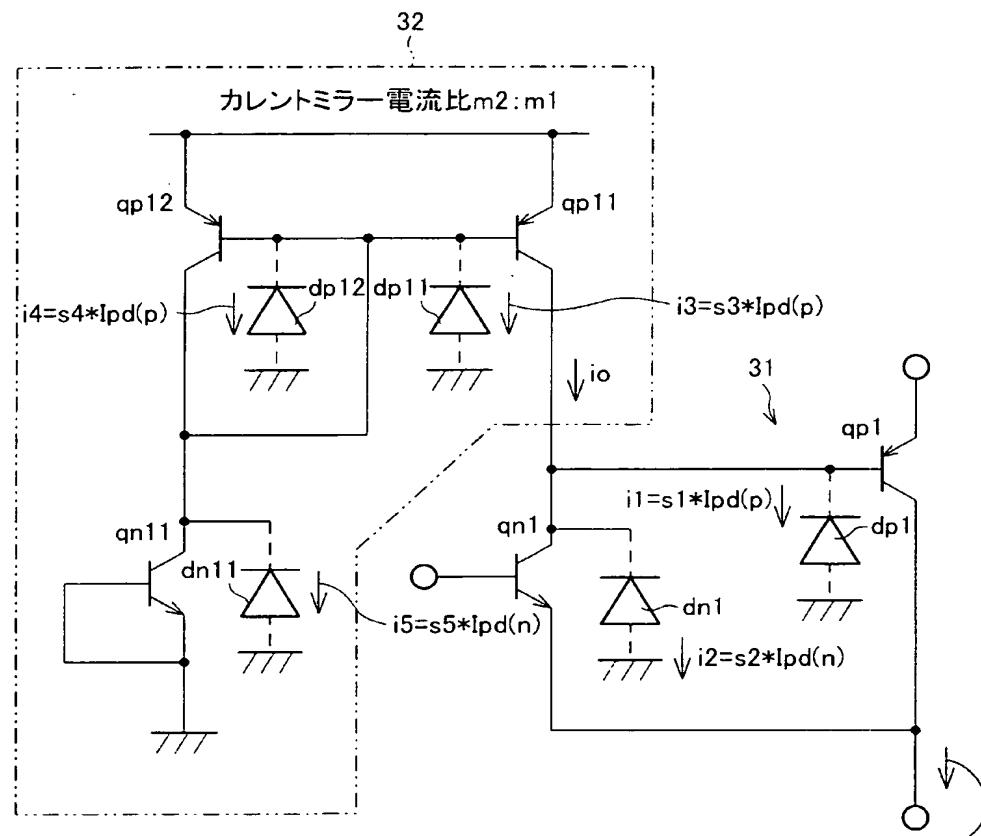
【図 1 1】



【図 1 2】



【図13】



$$\begin{aligned} I_{\text{leak}} &= h_{FE}(p) \cdot [s_1 \cdot I_{PD}(p) + s_2 \cdot I_{PD}(n)] \\ &\quad - (m_1/m_2) \cdot [s_5 \cdot I_{PD}(n) + (s_3 + s_4) \cdot I_{PD}(p)] \end{aligned}$$

【書類名】 要約書

【要約】

【課題】 集積回路内でダーリントン回路41を構成し、N型エピタキシャル層の面積が大きいPNPトランジスタQ_{P1}のベースおよびNPNトランジスタQ_{N1}のコレクタにそれぞれ発生する光リーク電流I₁, I₂を補償する補償回路42において、高精度に補償を行うとともに、チップ面積を抑制する。

【解決手段】 PNPトランジスタQ_{P1}のベース電流で補償する場合には、補償電流を前記ベース電流に加算するためにカレントミラーレイ回路等が必要になり、素子数が増えてチップ面積が増大してしまうのに対して、コレクタ電流で補償するようにし、略同じ面積のN型エピタキシャル層を有するPNPトランジスタQ_{P11}およびNPNトランジスタQ_{N11}のダーリントン回路から成る前記補償回路42を光の影響が等しくなるように形成することで、光リーク電流I_{1ea}を高精度に補償しつつ、前記チップ面積を抑制することができる。

【選択図】 図1

特願2002-381693

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 大阪府大阪市阿倍野区長池町22番22号
氏名 シャープ株式会社